

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日            2 0 0 4 年   1 月 2 7 日  
Date of Application:

出 願 番 号            特 願 2 0 0 4 - 0 1 8 0 8 0  
Application Number:

ST. 10/C] :            [ J P 2 0 0 4 - 0 1 8 0 8 0 ]

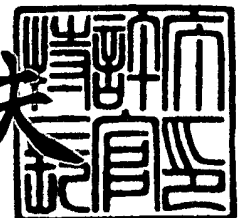
願            人            N E C エレクトロニクス株式会社  
Applicant(s):

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2 0 0 4 年   2 月 1 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 74120120  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/31  
【発明者】  
    【住所又は居所】 神奈川県川崎市中原区下沼部 1753 番地 NECエレクトロニクス株式会社内  
    【氏名】 大西 貞之  
【発明者】  
    【住所又は居所】 神奈川県川崎市中原区下沼部 1753 番地 NECエレクトロニクス株式会社内  
    【氏名】 大音 光市  
【発明者】  
    【住所又は居所】 神奈川県川崎市中原区下沼部 1753 番地 NECエレクトロニクス株式会社内  
    【氏名】 宇佐美 達矢  
【発明者】  
    【住所又は居所】 神奈川県川崎市中原区下沼部 1753 番地 NECエレクトロニクス株式会社内  
    【氏名】 森田 昇  
【発明者】  
    【住所又は居所】 神奈川県川崎市中原区下沼部 1753 番地 NECエレクトロニクス株式会社内  
    【氏名】 有田 幸司  
【発明者】  
    【住所又は居所】 神奈川県川崎市中原区下沼部 1753 番地 NECエレクトロニクス株式会社内  
    【氏名】 北尾 良平  
【発明者】  
    【住所又は居所】 神奈川県川崎市中原区下沼部 1753 番地 NECエレクトロニクス株式会社内  
    【氏名】 佐々木 洋一  
【特許出願人】  
    【識別番号】 302062931  
    【氏名又は名称】 NECエレクトロニクス株式会社  
【代理人】  
    【識別番号】 100124914  
    【弁理士】  
    【氏名又は名称】 徳丸 達雄  
    【電話番号】 044-435-1421  
【先の出願に基づく優先権主張】  
    【出願番号】 特願2003- 21078  
    【出願日】 平成15年 1月29日  
【手数料の表示】  
    【予納台帳番号】 235587  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1

【物件名】 要約書 1  
【包括委任状番号】 0316164

**【書類名】 特許請求の範囲****【請求項 1】**

炭素含有酸化珪素膜 ( $\text{SiOCH}$ ) であって、膜内に  $\text{Si}-\text{CH}_2$  結合を有する絶縁膜。

**【請求項 2】**

前記絶縁膜中の  $\text{Si}-\text{CH}_3$  結合 ( $1270\text{ cm}^{-1}$ ) に対する  $\text{Si}-\text{CH}_2$  結合 ( $1360\text{ cm}^{-1}$ ) の割合は、FTIR のピーク高さ比で、 $0.03-0.05$  の間にあることを特徴とする請求項 1 に記載の絶縁膜。

**【請求項 3】**

前記絶縁膜の比誘電率は、 $3.1$  以下であることを特徴とする請求項 1 又は 2 に記載の絶縁膜。

**【請求項 4】**

前記炭素含有酸化珪素膜 ( $\text{SiOCH}$ ) は、プラズマ CVD で成膜されたものであることを特徴とする請求項 1 乃至 3 のいずれかに記載の絶縁膜。

**【請求項 5】**

前記炭素含有酸化珪素膜 ( $\text{SiOCH}$ ) は、メチルシルセスキオキサンであることを特徴とする請求項 1 乃至 3 のいずれかに記載の絶縁膜。

**【請求項 6】**

半導体基板上の層間絶縁膜層と、前記層間絶縁膜層に設けられた配線溝にバリアメタルを介して Cu 含有金属が埋め込まれた金属配線を有する半導体装置において、前記層間絶縁膜層は、請求項 1 乃至 5 のいずれかに記載の絶縁膜を含むことを特徴とする半導体装置。

**【請求項 7】**

半導体基板上の層間絶縁膜層と、前記層間絶縁膜層に形成され下層金属配線に達する開孔と、前記開孔にバリアメタルを介して Cu 含有金属が埋め込まれた金属プラグを有する半導体装置において、前記層間絶縁膜層は、請求項 1 乃至 5 のいずれかに記載の絶縁膜を含むことを特徴とする半導体装置。

**【請求項 8】**

半導体基板上の層間絶縁膜層と、前記層間絶縁膜層に形成された配線溝及び前記層間絶縁膜層に形成され前記配線溝の下部から下層金属配線に達する開孔を有し、前記配線溝及び前記開孔の内部にバリアメタルを介して Cu 含有金属が埋め込まれた金属配線及び金属プラグを有する半導体装置において、前記層間絶縁膜層は、請求項 1 乃至 5 のいずれかに記載の絶縁膜を含むことを特徴とする半導体装置。

**【請求項 9】**

前記絶縁膜の上層には、前記層間絶縁膜層の一部として、 $\text{SiO}_2$  膜が形成されていることを特徴とする請求項 6 乃至 8 のいずれかに記載の半導体装置。

**【請求項 10】**

前記絶縁膜の下層には、前記層間絶縁膜層の一部として、金属拡散防止絶縁膜が形成されていることを特徴とする請求項 6 乃至 9 のいずれかに記載の半導体装置。

**【請求項 11】**

前記 Cu 含有金属は、Cu に加えて、Si、Al、Ag、W、Mg、Be、Zn、Pd、Cd、Au、Hg、Pt、Zr、Ti、Sn、Ni、および Fe のうち少なくとも一つを含有することを特徴とする請求項 6 乃至 10 のいずれかに記載の半導体装置。

## 【書類名】明細書

【発明の名称】絶縁膜およびそれを用いた半導体装置

## 【技術分野】

【0001】

本発明は、低誘電率の絶縁膜に関し、特に半導体装置の層間絶縁膜層に用いられる低誘電率の絶縁膜に関するものである。

## 【背景技術】

【0002】

近年の半導体装置の高集積化への要求の高まりから、多層配線技術が注目されている。この多層配線構造において素子の高速動作のネックになるのが、配線間容量である。この配線間の容量を低減するには、層間絶縁膜の誘電率（比誘電率）を下げる必要がある。従来、一般に層間絶縁膜としてシリコン酸化膜（ $\text{SiO}_2$ ）が用いられているが、より誘電率の低い絶縁膜材料の開発が近年盛んに行われてきている。従来のシリコン酸化膜は、 $\text{SiH}_4$ または $\text{Si}(\text{OC}_2\text{H}_5)_4$ などの材料ガスに酸化剤として酸素 $\text{O}_2$ または酸化窒素 $\text{N}_2\text{O}$ を添加しプラズマCVD法などにより形成する。その誘電率は4.0程度である。これに対し、材料ガスにメチルシランベースの前駆体（例えば、トリメチルシランまたはテトラメチルシラン）を用いてプラズマCVD法で形成した炭素含有酸化珪素（ $\text{SiOCH}$ ）膜は、誘電率3以下が報告されている。 $\text{SiOCH}$ 膜は、 $-\text{O}-\text{Si}-\text{O}-$ ネットワークに-末端基となる $\text{CH}_3$ 基を導入することで密度を下げ、誘電率を低減している（例えば、特許文献1及び特許文献2）。

【0003】

【特許文献1】米国特許第6159871号明細書（第3頁の欄2－第4頁の欄4）

【特許文献2】米国特許第6054379号明細書（第11頁の欄4－第16頁の欄）

## 【発明の開示】

## 【発明が解決しようとする課題】

【0004】

しかしながら、 $\text{SiOCH}$ 膜は、膜中に含まれる $\text{CH}_3$ 基が、溝やビア加工時の $\text{O}_2$ アッシングで壊され、膜収縮や吸湿などの膜質劣化を受けやすい。これは $\text{CH}_3$ 基が、 $-\text{O}-\text{Si}-\text{O}-$ ネットワークの末端にあり、アッシング雰囲気中の $\text{O}$ イオンやラジカルと反応しやすいことに起因する。

【0005】

現在、次世代デバイスに向け、 $\text{SiOCH}$ 膜を多孔質化することによりさらに誘電率を下げていく検討が盛んに行われているが、アッシングダメージの問題は、多孔質化によりさらに顕著になる。また、デュアルダマシン形成工程のうち、最も代表的なビアファースト法においては、接続孔（ビア）側壁は、ビア形成時と溝形成の2回アッシング工程に晒される。ビア側壁がアッシングダメージにより変質して吸湿性が増加すると、ビア歩留まりの劣化が問題となる。

【0006】

さらに、 $\text{SiOCH}$ 膜は、パターニング時のマスクとしてその上層に $\text{SiO}_2$ 膜（CAP- $\text{SiO}_2$ 膜）を成膜するが、そのCAP- $\text{SiO}_2$ 膜との密着性が、従来膜（ $\text{SiO}_2$ ,  $\text{SiON}$ ,  $\text{SiN}$ ,  $\text{HSQ}$ ）より低いことも問題である。これは、膜中に含まれる $\text{CH}_3$ 基が疎水性のため、 $\text{SiO}_2$ 膜との親和性が低いためである。

【0007】

本発明は、上記のような問題点に鑑みてなされたものであって、層間絶縁膜の誘電率の上昇をもたらすことなく、アッシング耐性を向上させることを課題とする。また、 $\text{SiO}_2$ 膜との密着性の問題も改善させることを課題とする。

## 【課題を解決するための手段】

【0008】

前記課題を解決するために、本発明の絶縁膜は、炭素含有酸化珪素膜（ $\text{SiOCH}$ ）であって、膜内に $\text{Si}-\text{CH}_2$ 結合を有することを要旨とする。

## 【0009】

また本発明の半導体装置は、半導体基板上の層間絶縁膜層と、前記層間絶縁膜層に設けられた配線溝にバリアメタルを介してCu含有金属が埋め込まれた金属配線を有する半導体装置において、前記層間絶縁膜層は、前記絶縁膜を含むことを要旨とする。

## 【0010】

また本発明の半導体装置は、半導体基板上の層間絶縁膜層と、前記層間絶縁膜層に形成され下層金属配線に達する開孔と、前記開孔にバリアメタルを介してCu含有金属が埋め込まれた金属プラグを有する半導体装置において、前記層間絶縁膜層は、前記絶縁膜を含むことを要旨とする。

## 【0011】

また本発明の半導体装置は、半導体基板上の層間絶縁膜層と、前記層間絶縁膜層に形成された配線溝及び前記層間絶縁膜層に形成され前記配線溝の下部から下層金属配線に達する開孔を有し、前記配線溝及び前記開孔の内部にバリアメタルを介してCu含有金属が埋め込まれた金属配線及び金属プラグを有する半導体装置において、前記層間絶縁膜層は、前記絶縁膜を含むことを要旨とする。

## 【0012】

ここで、前記絶縁膜中のSi-CH<sub>3</sub>結合(1270cm<sup>-1</sup>)に対するSi-CH<sub>2</sub>結合(1360cm<sup>-1</sup>)の割合は、FTIRのピーク高さ比で、0.03-0.05の間にあることが好ましい。また、前記絶縁膜の比誘電率は、3.1以下であることが好ましい。

## 【0013】

また、前記炭素含有酸化珪素膜(SiOCH)は、プラズマCVDで成膜されたものであることが好ましい。

## 【0014】

また、前記炭素含有酸化珪素膜(SiOCH)は、メチルシルセスキオキサンであつてもよい。

## 【0015】

また、前記半導体装置における前記絶縁膜の上層には、前記層間絶縁膜層の一部として、SiO<sub>2</sub>膜が形成されていることが好ましい。また、前記半導体装置における前記絶縁膜の下層には、前記層間絶縁膜層の一部として、金属拡散防止絶縁膜が形成されていることが好ましい。

## 【0016】

また、前記半導体装置の前記Cu含有金属は、Cuに加えて、Si、Al、Ag、W、Mg、Be、Zn、Pd、Cd、Au、Hg、Pt、Zr、Ti、Sn、Ni、およびFeのうち少なくとも一つを含有してもよい。

## 【発明の効果】

## 【0017】

前記した構成によれば、炭素含有酸化珪素膜(SiOCH)であつて、膜内に-Si-CH<sub>2</sub>-結合を有する絶縁膜であるため、とくに低誘電率性が要求される層間絶縁膜の誘電率の上昇をもたらすことなく、アッシング耐性を向上させることができる。また、CAP-SiO<sub>2</sub>との密着性も改善できる。(図6)。

## 【発明を実施するための最良の形態】

## 【0018】

以下、本発明による本発明の実施の形態例について図面を参照して説明する。

## 【実施例1】

## 【0019】

本実施例では、半導体基板上に本発明による絶縁膜、つまり膜内にSi-CH<sub>2</sub>結合を有するSiOCH膜を成膜する方法について説明する。図1は本発明によるSiOCH膜の成膜に用いられる平行平板型プラズマCVD装置の構成を略示したものである。

## 【0020】

本装置は、半導体基板 11 上に成膜処理を行うための処理室 17 と、処理室 17 内に載置された半導体基板 11 の温度を一定に保つためのヒータを有し下部平板電極となるサセプタ 12 と、半導体基板 11 を処理室 17 に搬入し、処理室 17 から搬出する搬送手段（不図示）と、処理室 17 内の圧力を一定に保つための排気手段 13 と、処理室 17 に複数種類の反応ガスを供給するためのガス供給部 14 と、高周波発生機 15 を備える構成である。処理室 17 には上部平板電極 16 と下部平板電極となるサセプタ 12 が対向して設けられ、上部平板電極 16 は上記高周波発生機 15 に接続されている。また、サセプタ 12 には上記ヒータが内蔵されている。高周波発生機 15 は、所定の周波数および高周波電力（RF パワー）の高周波を上部平板電極 16 と下部平板電極となるサセプタ 12 の間に発生させる。

#### 【0021】

上記構成のプラズマ CVD 装置によって SiOCH 膜を形成する場合、サセプタ 12 上に載置された半導体基板 11 をヒータにより所望の温度にし、反応ガスの種類および流量を調節して処理室内を所望のガス雰囲気です望の処理圧力にし、所望の高周波の RF パワーを印加することで処理室内に反応ガスのプラズマを発生させて、半導体基板 11 上に SiOCH 膜を形成する。

#### 【0022】

次に、上記プラズマ CVD 装置を用いた SiOCH 膜の成膜方法について説明する。ソースガスとしてトリメチルシランと酸素を用い、SiOCH 膜の成膜を行った。標準的な成膜条件は、成膜温度 350℃、ソースガス：トリメチルシラン流量 1100 sccm、O<sub>2</sub> 流量 450 sccm、RF パワー 700W、4.5 Torr であるが、これら成膜の条件（RF パワー、ガス流量、温度、圧力）を変化させ、さまざまな膜特性の SiOCH 膜を成膜し、その膜特性を調べた。その結果、FTIR スペクトルにおける、膜中の Si-CH<sub>3</sub> 結合 (1270 cm<sup>-1</sup>) に対する Si-CH<sub>2</sub> 結合 (1360 cm<sup>-1</sup>) の割合と、膜の特性に密接な関係があり、Si-CH<sub>2</sub> 結合を有し、Si-CH<sub>2</sub> 結合/Si-CH<sub>3</sub> 結合比が高くなるにつれ、アッシング耐性や密着性が向上し、誘電率の上昇が見られた。一方、Si-CH<sub>2</sub> 結合/Si-CH<sub>3</sub> 結合比が低くなると、その逆の傾向がみられることを見いだした。

#### 【0023】

図 2 は、RF パワーを 560W、630W、700W、770W、840W と変化させて成膜した SiOCH 膜の FT-IR スペクトルにおける Si-CH<sub>2</sub>、Si-CH<sub>3</sub> のピークと、それから算出した Si-CH<sub>3</sub> に対する Si-CH<sub>2</sub> 比を示したものである。図 2 (a) は 1360 cm<sup>-1</sup> の Si-CH<sub>2</sub> 結合のピークを示す。RF パワーの増加に伴い、Si-CH<sub>2</sub> 結合が増加している。また図 2 (b) は 1270 cm<sup>-1</sup> の Si-CH<sub>3</sub> 結合のピークを示す。RF パワーの増加に伴い、Si-CH<sub>3</sub> 結合が減少している。図 2 (c) は、これから Si-CH<sub>3</sub> に対する Si-CH<sub>2</sub> 比を算出した結果の表であり、RF パワーの増加に伴い Si-CH<sub>3</sub> に対する Si-CH<sub>2</sub> 比が増加している。

#### 【0024】

これらによって得た各 Si-CH<sub>2</sub>/Si-CH<sub>3</sub> 比を有する SiOCH 膜のサンプルについて、アッシング耐性、およびその上層に形成する SiO<sub>2</sub> 膜（CAP-SiO<sub>2</sub> 膜）との密着性を調べた。アッシング耐性に関しては、平行平板型 O<sub>2</sub> アッシング装置を用い、アッシングガス：O<sub>2</sub> 流量 500 sccm、RF パワー 1000W、処理時間 60 sec、処理温度 100℃ でアッシング処理を行った。図 3 に処理前の各 SiOCH 膜の比誘電率（縦軸左側）と、アッシング処理後の比誘電率上昇（縦軸右側）を示す。これより、Si-CH<sub>2</sub> 結合が増加するとアッシング耐性が向上することが分かる。一方で、Si-CH<sub>3</sub> 基の減少により比誘電率は上昇する。比誘電率 3 以下で、アッシングによる比誘電率上昇が 0.1 以下となるのは、Si-CH<sub>2</sub>/Si-CH<sub>3</sub> 比が 0.03～0.05 までの範囲である。つまり、この範囲で SiOCH 膜の比誘電率をアッシング後でも 3.1 以下とすることができる。

#### 【0025】

図 4 に、4 点曲げ法により測定した CAP-SiO<sub>2</sub> 膜との密着性と、Si-CH<sub>2</sub>/Si-CH<sub>3</sub> 比の関係を示す。Si-CH<sub>2</sub>/Si-CH<sub>3</sub> 比が高くなると、密着性が向上することが分かる。これは、密着性を低下させる疎水性の CH<sub>3</sub> 基が減少する一方で、増加する Si-CH<sub>2</sub> 結合の方は、-O-Si-O-ネ

ットワーク中に-Si-CH<sub>2</sub>-Si-のように隠れるため、SiO<sub>2</sub>膜との密着性に悪影響を与えず、密着性が向上したものと考えられる。密着性の点から、Si-CH<sub>2</sub>/Si-CH<sub>3</sub>結合比は、高いことが望ましいが、誘電率も増加するため、Si-CH<sub>2</sub>/Si-CH<sub>3</sub>結合比としては0.03~0.05の範囲が最適である。

#### 【0026】

なお、上記では、RFパワーを変化させてSi-CH<sub>2</sub>/Si-CH<sub>3</sub>比を変化させた例を示したが、図5に各成膜パラメータとSi-CH<sub>2</sub>/Si-CH<sub>3</sub>比との関係をまとめて示す。これより、低02流量、低圧、高温でSi-CH<sub>2</sub>/Si-CH<sub>3</sub>比が増加する。従って、これらの成膜パラメータを最適化することにより、Si-CH<sub>2</sub>/Si-CH<sub>3</sub>結合比が0.03~0.05のSiOCH膜を成膜できる。

#### 【0027】

以上説明したようにして、本発明による絶縁膜、つまり膜内にSi-CH<sub>2</sub>結合を有するSiOCH膜を成膜することができる。このとき、Si-CH<sub>2</sub>/Si-CH<sub>3</sub>結合比としては0.03~0.05の範囲が最適であり、SiOCH膜の比誘電率をアッシング後でも3.1以下にすることができる。

#### 【0028】

また上記では、SiOCH膜をプラズマCVD法によって形成する方法について説明したが、塗布系のメチルシルセスキオキサンによっても、ベース材料を調節することによって、Si-CH<sub>2</sub>結合を有し、さらSi-CH<sub>2</sub>/Si-CH<sub>3</sub>結合比が0.03~0.05の範囲であり、比誘電率をアッシング後でも3.1以下にすることができるSiOCH膜を得ることができる。

#### 【実施例2】

##### 【0029】

次に、本発明の第2の実施例について説明する。第2の実施例では、本発明のSiOCH膜をシングルダマシン配線構造に適用した場合について説明する。

##### 【0030】

図6は、本発明の第2実施例の半導体装置を示す断面図である。トランジスタおよびキャパシタなどの半導体素子が形成された半導体基板（不図示）上の下地絶縁膜81上に、第1の層間絶縁膜層として、下層より、Cuなどの金属の拡散を防止する金属拡散防止絶縁膜として第1のSiCNH膜82が50nm、Si-CH<sub>2</sub>結合を有し好ましくはSi-CH<sub>2</sub>/Si-CH<sub>3</sub>結合比が0.03~0.05である第1のSiOCH膜83が250nm、第1のSiO<sub>2</sub>膜（第1のCAP-SiO<sub>2</sub>膜）84が100nm形成されている。第1の層間絶縁膜層に設けられた配線溝には、バリアメタルとして膜厚30nmの第1のTa/TaN膜86を介して、Cu含有金属としてCuからなる第1の金属配線つまり第1のCu配線87が形成されている。第1のSiO<sub>2</sub>膜84及び第1のCu配線87の上面には、第2の層間絶縁膜層として、下層より同様に、金属拡散防止絶縁膜である50nmの第2のSiCNH膜88、Si-CH<sub>2</sub>結合を有し好ましくはSi-CH<sub>2</sub>/Si-CH<sub>3</sub>結合比が0.03~0.05である250nmの第2のSiOCH膜89、100nmの第2のSiO<sub>2</sub>膜（第2のCAP-SiO<sub>2</sub>膜）90が形成されている。第2の層間絶縁膜層にはそれを連通し下層金属配線である第1のCu配線87に達する開孔（ビア）が形成され、開孔にはバリアメタルとして30nmの第2のTa/TaN膜92を介してCu含有金属としてCuからなる金属プラグ、つまりCuプラグ93が形成されている。第2のSiO<sub>2</sub>膜90及びCuプラグ93上面には、第3の層間絶縁膜層として、下層より同様に、金属拡散防止絶縁膜である50nmの第3のSiCNH膜95、Si-CH<sub>2</sub>結合を有し好ましくはSi-CH<sub>2</sub>/Si-CH<sub>3</sub>結合比が0.03~0.05である250nmの第3のSiOCH膜96、100nmの第3のSiO<sub>2</sub>膜（第3のCAP-SiO<sub>2</sub>膜）97が形成されている。第3の層間絶縁膜層にはそれを連通し下層のCuプラグ93に達する配線溝が形成され、バリアメタルとして30nmの第3のTa/TaN膜98を介して、Cu含有金属としてCuからなる第2の金属配線つまり第2のCu配線99が形成されている。

##### 【0031】

次に、図6で示した本発明のSiOCH膜を適用したシングルダマシン配線構造の製造方法を工程順に説明する。図7、図8は、第2実施例の半導体装置の製造工程手順の途中



を示す途中工程断面図である。トランジスタおよびキャパシタなどの半導体素子が形成された半導体基板（不図示）上の下地絶縁膜 81 上にプラズマ CVD 法により第 1 の SiCNH 膜 82 を 50 nm 成膜する。次に上述したプラズマ CVD 法によって、Si-CH<sub>2</sub>結合を有する、好ましくは Si-CH<sub>2</sub>/Si-CH<sub>3</sub>結合比が 0.03~0.05 である第 1 の SiOCH 膜 83 を 250 nm 成膜する。ついで、処理温度 200~450℃、N<sub>2</sub>O ガス流量 100~6000 sccm、SiH<sub>4</sub> ガス流量 10~1000 sccm、処理圧力 1~20 Torr、RF パワー 50~500 W の条件でのプラズマ CVD 法によって第 1 の SiO<sub>2</sub> 膜 84 を 100 nm 成膜する。第 1 の SiO<sub>2</sub> 膜 84 は第 1 の SiOCH 膜 83 の成膜と同一の真空装置内で連続的に成膜してもよい。以上により、下層より SiCNH 膜 82、第 1 の SiOCH 膜 83、第 1 の SiO<sub>2</sub> 膜 84 の 3 層からなる第 1 の層間絶縁膜層が形成された。次に、フォトリソグラフィ技術とドライエッチング技術を用いて、第 1 の SiO<sub>2</sub> 膜 84、第 1 の SiOCH 膜 83、第 1 の SiCNH 膜 82 を連通する配線溝 85 を形成する（図 7（a））。

#### 【0032】

次に、露出した配線溝 85 内壁および第 1 の SiO<sub>2</sub> 膜 84 上面に、Ta/TaN 膜 86 を膜厚 30 nm で成膜し、その上に、電解メッキ法の陰極側下地層となる Cu 層を膜厚 100 nm でスパッタリング法により成膜する。その後、電解メッキ法により Cu を配線溝 85 に埋め込み、その後、結晶化のために 100~400℃ の熱処理を行う。次に、第 1 の SiO<sub>2</sub> 絶縁膜 84 上の Cu 層および Ta/TaN 膜 86 を CMP 法により除去し、配線溝 85 内部に第 1 の Cu 配線 87 を形成する（図 7（b））。

#### 【0033】

次に、その上層に形成する第 2 の層間絶縁膜層として、上記と同様の手順により、第 2 の SiCNH 膜 88 を 50 nm、プラズマ CVD 法によって Si-CH<sub>2</sub>結合を有する、好ましくは Si-CH<sub>2</sub>/Si-CH<sub>3</sub>結合比が 0.03~0.05 である第 2 の SiOCH 膜 89 を 250 nm、第 2 の SiO<sub>2</sub> 膜（第 2 の CAP-SiO<sub>2</sub> 膜）90 を 100 nm 成膜する。次に、フォトリソグラフィ技術とドライエッチング技術を用いて、第 2 の層間絶縁膜層を連通し第 1 の Cu 配線 87 に達する開孔（ビア）91 を形成する（図 8（c））。

#### 【0034】

次に、開孔 91 の内壁と第 2 の SiO<sub>2</sub> 膜 90 の上面に、第 2 の Ta/TaN 膜 92 を膜厚 30 nm で成膜し、その上に、電解メッキ法の陰極側下地層となる Cu 層を膜厚 100 nm でスパッタリング法により成膜する。その後、電解メッキ法により Cu を開孔 91 に埋め込んでから、結晶化のために 100~400℃ の熱処理を行う。次に、第 2 の SiO<sub>2</sub> 膜 90 上の Cu 層および Ta/TaN 膜 92 を CMP 法により除去し、開孔 91 の内部に金属プラグとして Cu プラグ 93 を形成する（図 8（d））。

#### 【0035】

次に、図 6 に示すように、その上層に形成する第 3 の層間絶縁膜層として、上記と同様の手順により、第 3 の SiCNH 膜 88 を 50 nm、プラズマ CVD 法によって、Si-CH<sub>2</sub>結合を有する、好ましくは Si-CH<sub>2</sub>/Si-CH<sub>3</sub>結合比が 0.03~0.05 である第 3 の SiOCH 膜 89 を 250 nm、第 3 の SiO<sub>2</sub> 膜（第 3 の CAP-SiO<sub>2</sub> 膜）90 を 100 nm 成膜する。次に、フォトリソグラフィ技術とドライエッチング技術を用いて、第 3 の層間絶縁膜層を連通し一部で下層の Cu プラグ 93 に達する配線溝を形成する。次に、同様に第 3 の Ta/TaN 膜 98、Cu を形成、CMP を施し、配線溝内に第 2 の Cu 配線 99 を形成する。以上によって、シングルダマシ構造の Cu による 2 層配線を形成した。

#### 【0036】

図 9 は、上述した Cu 配線を形成した際の Cu の CMP 後の欠陥数と、層間絶縁膜に用いた SiOCH 膜の膜組成（Si-CH<sub>2</sub>/Si-CH<sub>3</sub>比）の関係である。これより、Si-CH<sub>2</sub>結合の割合が増えるにつれて、CMP 欠陥数がいったん減少し、再び増加していることがわかる。CMP 欠陥数が、いったん減少するのは、図 4 で示したように、Si-CH<sub>2</sub>結合の割合が増え、CAP-SiO<sub>2</sub>膜と SiOCH 膜との密着性が向上し、CMP 時の CAP-SiO<sub>2</sub>膜剥がれが減少するためと考えられる。また、再び欠陥数が増加するのは、Si-CH<sub>2</sub>結合の割合が過剰

になると、 $\text{—O—Si—O—}$ 結合に $\text{—CH}_2\text{—}$ 結合が挿入されることで膜強度が低下するため、と考えられる。従って、欠陥数を低いレベルに抑えるには、 $\text{Si—OCH}$ 膜の $\text{Si—CH}_2/\text{Si—CH}_3$ 結合比が0.03~0.05であることが望ましい。また、上記組成の範囲では組み立て時の剥がれ等の不具合発生も抑えられる。

#### 【実施例 3】

##### 【0037】

次に、本発明の第3の実施例について説明する。本実施例では本発明の層間絶縁膜によるデュアルダマシン配線構造を形成した。

##### 【0038】

図10、図11は第3の実施例の半導体装置の製造工程手順を示す断面図である。上述した実施例2と同様の手順で、図10(a)に示すように、トランジスタおよびキャパシタなどの半導体素子が形成された半導体基板（不図示）上の下地絶縁膜81上に、下層より金属拡散防止絶縁膜として第1の $\text{SiCNH}$ 膜82を50nm、第1の $\text{SiOCH}$ 膜83を250nm、第1の $\text{SiO}_2$ 膜（第1の $\text{CAP—SiO}_2$ 膜）84を100nm順次成膜することによって、これら3層からなる第1の層間絶縁膜層を形成する。次に、第1の層間絶縁膜層を連通して形成された配線溝内部に第1のバリアメタル $\text{Ta/TaN}$ 膜86を介して第1の金属配線である第1の $\text{Cu}$ 配線87を形成する。

##### 【0039】

次に、第1の $\text{SiO}_2$ 膜84及び第1の $\text{Cu}$ 配線87の上面に、第2の層間絶縁膜層として、金属拡散防止絶縁膜として第2の $\text{SiCNH}$ 膜88を50nm、プラズマ $\text{CVD}$ 法によって $\text{Si—CH}_2$ 結合を有する、好ましくは $\text{Si—CH}_2/\text{Si—CH}_3$ 結合比が0.03~0.05である第2の $\text{SiOCH}$ 膜89を500nm、第2の $\text{SiO}_2$ 膜（第2の $\text{CAP—SiO}_2$ 膜）90を100nm、順次成膜する。次に、フォトリソグラフィ技術とドライエッチング技術を用いて、第2の $\text{SiO}_2$ 膜90の表面から、第2の $\text{SiCNH}$ 膜88に達する開孔91を形成する（図10(b)）。次に、フォトリソグラフィ技術とドライエッチング技術を用いて開孔91を含む領域に配線溝94を形成し、開孔91の底部の $\text{SiCNH}$ 膜88を開口して、開孔91を下層金属配線となる第1の $\text{Cu}$ 配線87上面にまで達するようにする。配線溝94の位置は第2の $\text{SiOCH}$ 膜89の途中まで形成する。（図11(c)）。

##### 【0040】

次に、配線溝94と開孔91の内壁及び第2の $\text{SiO}_2$ 膜90上に、バリアメタルとして第2の $\text{Ta/TaN}$ 膜100を30nm成膜し、その上に、電解メッキ法の陰極側下地層となる $\text{Cu}$ 含有金属として $\text{Cu}$ 層を膜厚100nmでスパッタリング法により成膜する。その後、電解メッキ法により $\text{Cu}$ 含有金属として $\text{Cu}$ を開孔91と配線溝94に埋め込んでから、結晶化のために100~400℃の熱処理を行う。次に、第2の $\text{SiO}_2$ 絶縁膜90上の $\text{Cu}$ 層および $\text{Ta/TaN}$ 膜を $\text{CMP}$ 法により除去し、金属プラグ及び第2の金属配線として、 $\text{Cu}$ プラグと第2の $\text{Cu}$ 配線101を同時に形成し、デュアルダマシン構造の $\text{Cu}$ による2層配線を形成した。（図11(d)）

##### 【0041】

図12は、このデュアルダマシン法で形成した $\text{Cu}$ 2層配線の100万個ビアチェーン歩留まりと、層間膜に用いた $\text{SiOCH}$ 膜の $\text{Si—CH}_2/\text{Si—CH}_3$ 結合比との関係を示す。これより、 $\text{Si—CH}_2/\text{Si—CH}_3$ 結合比が低下すると、歩留まりが低下していることが分かる。これは、エッチング耐性が劣化するため、ビア加工側面からの水分等のアウトガスが増えることによるビア埋設不良が原因として考えられる。一方結合比が高い方でも劣化がみられるが、膜強度の低下による $\text{CMP}$ 時の層間膜やられが原因として考えられる。従って、高い歩留まりを得るには、 $\text{Si—CH}_2/\text{Si—CH}_3$ 結合比0.03~0.05が望ましい。

##### 【0042】

ここではデュアルダマシン形成方法として開孔（ビア）を形成してから配線溝を形成するビアファーストと呼ばれる手法を用いたが、配線溝を形成してから開孔（ビア）を形成するトレンチファースト法でもよい。第2の $\text{SiOCH}$ 膜中にエッチングストップ層となる $\text{SiCH}$ 膜もしくは $\text{SiCNH}$ 膜を挿入し、前記エッチングストップ層を先に加工して

から配線溝とビア開孔を同時におこなうミドルファーストという手法を用いても良い。

【0043】

また、上記の第2、第3の実施例において、金属配線および金属プラグを構成するCu含有金属として、Cuである場合、つまり、Cu配線およびCuプラグである場合を示したが、Cu含有金属としては、Cuに加えてSi、Al、Ag、W、Mg、Be、Zn、Pd、Cd、Au、Hg、Pt、Zr、Ti、Sn、Ni、およびFeのうち少なくとも一つを含有したCu含有金属でもよく、これらの材料を含有することにより、本構造にて形成された半導体装置の配線寿命がさらに向上する。

【図面の簡単な説明】

【0044】

【図1】本発明の絶縁膜の成膜に使用するプラズマCVD装置を略示した図である。

【図2】本発明の絶縁膜のFTIR特性のRFパワー依存性を示した図である

【図3】本発明の絶縁膜のSi-CH<sub>2</sub>/Si-CH<sub>3</sub>結合比と比誘電率、およびアッシングによる誘電率上昇の関係を示した図である。

【図4】本発明の絶縁膜のSi-CH<sub>2</sub>/Si-CH<sub>3</sub>結合比と密着性の関係を示した図である。

【図5】成膜パラメータとSi-CH<sub>2</sub>/Si-CH<sub>3</sub>結合比の関係を示した図である。

【図6】本発明の第2の実施例の半導体装置の断面を示す図である。

【図7】本発明の第2の実施例の半導体装置の途中製造工程の断面を示す図である。

【図8】本発明の第2の実施例の半導体装置の途中製造工程の断面を示す図である。

【図9】第2の実施例で、本発明の絶縁膜のSi-CH<sub>2</sub>/Si-CH<sub>3</sub>結合比とCMP後の欠陥の関係を示した図である。

【図10】本発明の第3の実施例の半導体装置の製造工程の断面を示す図である。

【図11】本発明の第3の実施例の半導体装置の製造工程の断面を示す図である。

【図12】第3の実施例で、本発明の絶縁膜のSi-CH<sub>2</sub>/Si-CH<sub>3</sub>結合比と歩留まりの関係を示した図である。

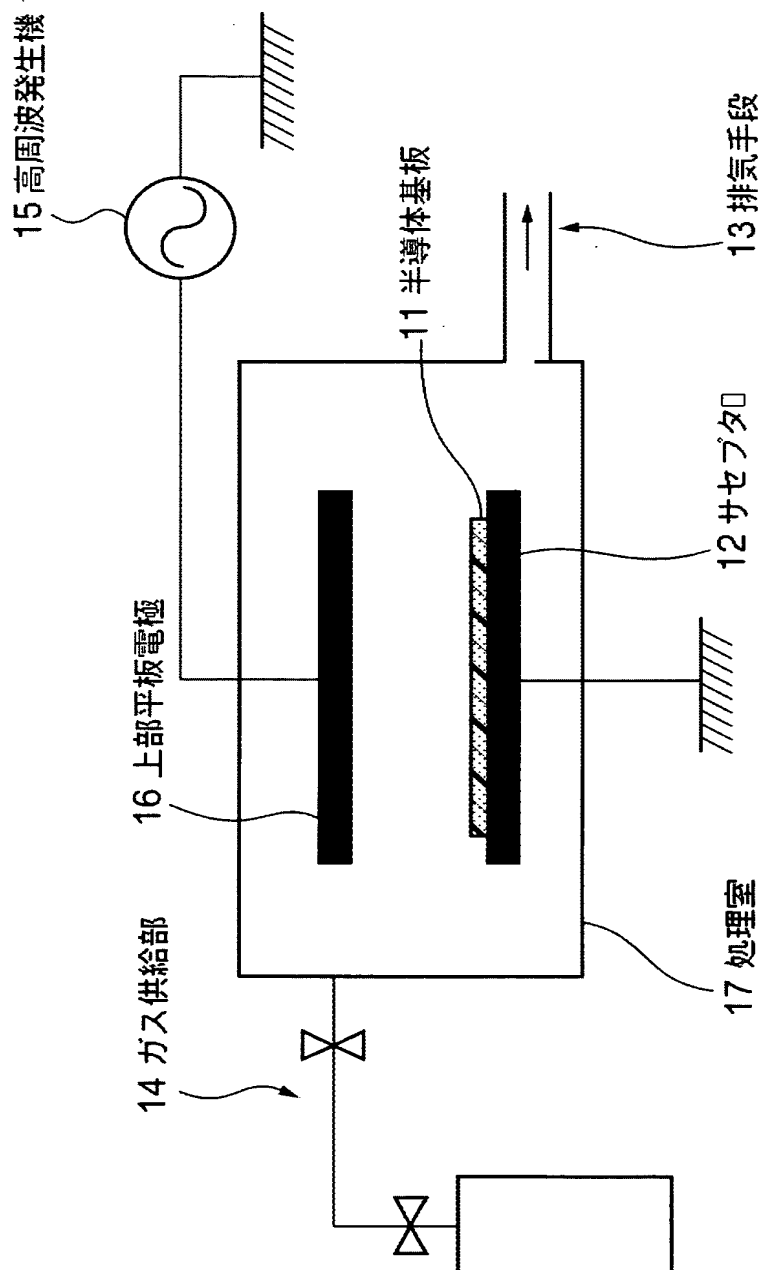
【符号の説明】

【0045】

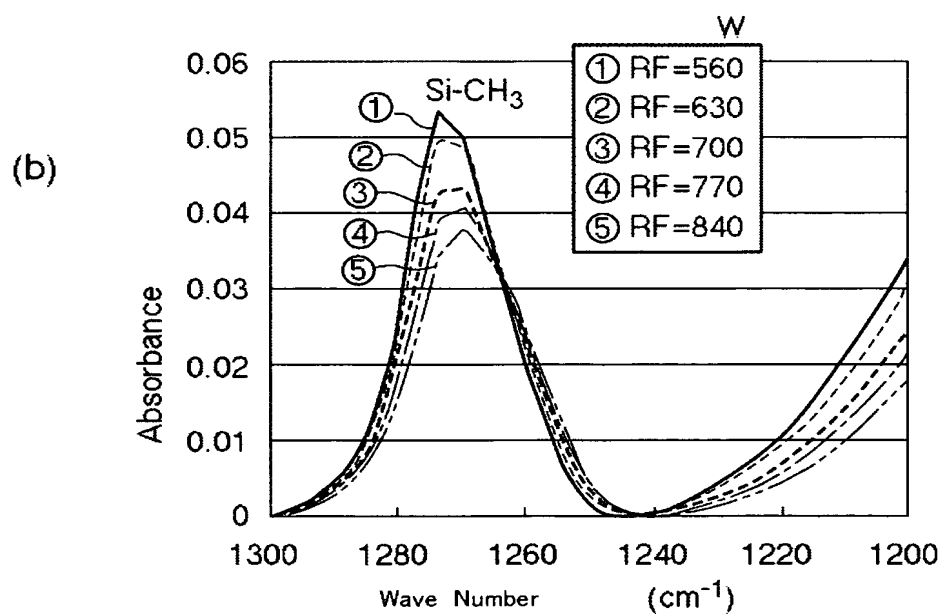
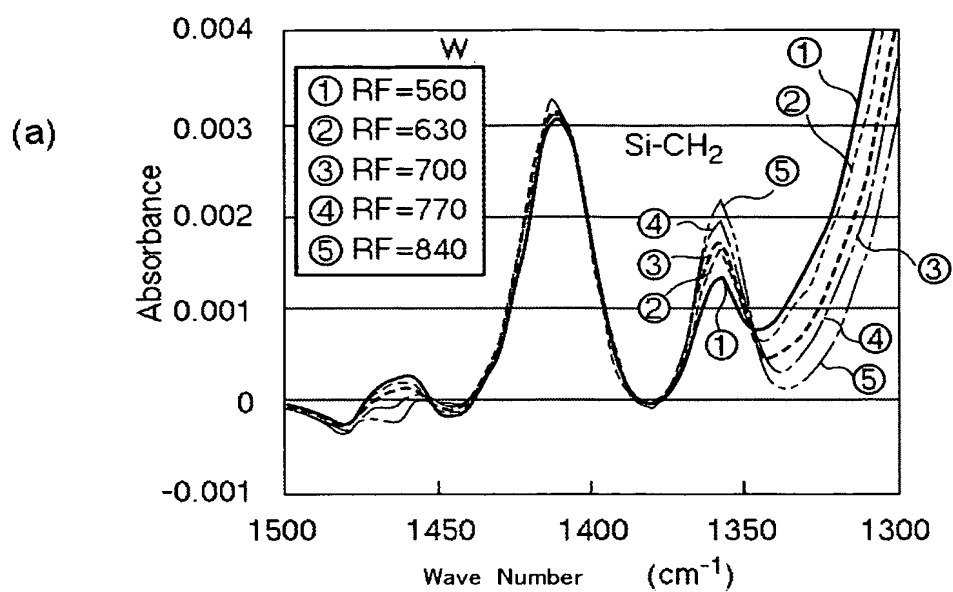
- 11 半導体基板
- 12 サセプタ
- 13 排気手段
- 14 ガス供給部
- 15 高周波発生機
- 16 上部平板電極
- 17 処理室
- 81 下地絶縁膜
- 82 第1のSiCNH膜
- 83 第1のSiOCH膜
- 84 第1のSiO<sub>2</sub>膜
- 85 配線溝
- 86 第1のTa/TaN膜
- 87 第1のCu配線
- 88 第2のSiCNH膜
- 89 第2のSiOCH膜
- 90 第2のSiO<sub>2</sub>膜
- 91 開孔
- 92 第2のTa/TaN膜
- 93 Cuプラグ
- 94 配線溝
- 95 第3のSiCNH膜
- 96 第3のSiOCH膜

- 9 7 第 3 の S i O 2 膜
- 9 8 第 3 の T a / T a N 膜
- 9 9 第 2 の C u 配線
- 1 0 0 第 2 の T a / T a N 膜
- 1 0 1 C u プラグと第 2 の C u 配線

【書類名】 図面  
【図 1】



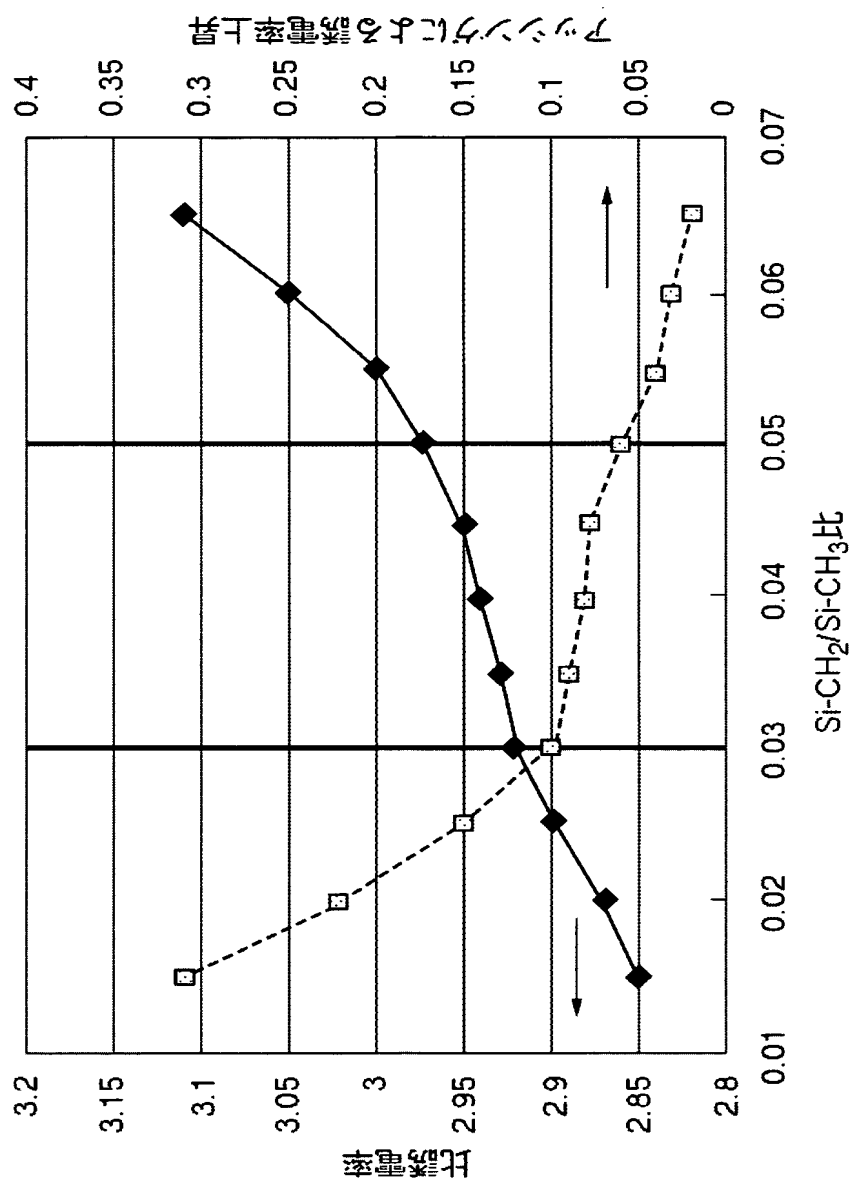
【図 2】



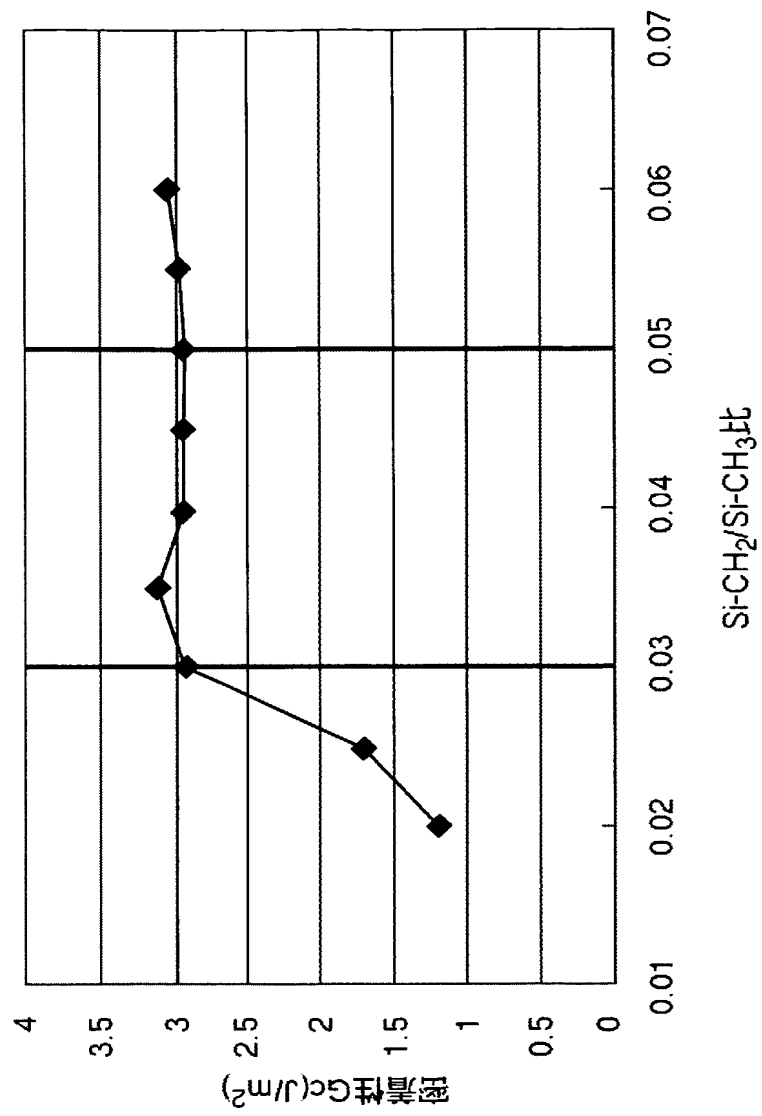
(c)

RFパワー	Si-CH <sub>2</sub> /Si-CH <sub>3</sub>
560W	0.0245
630W	0.0305
700W	0.0395
770W	0.0487
840W	0.0594

【図 3】











【図 4】

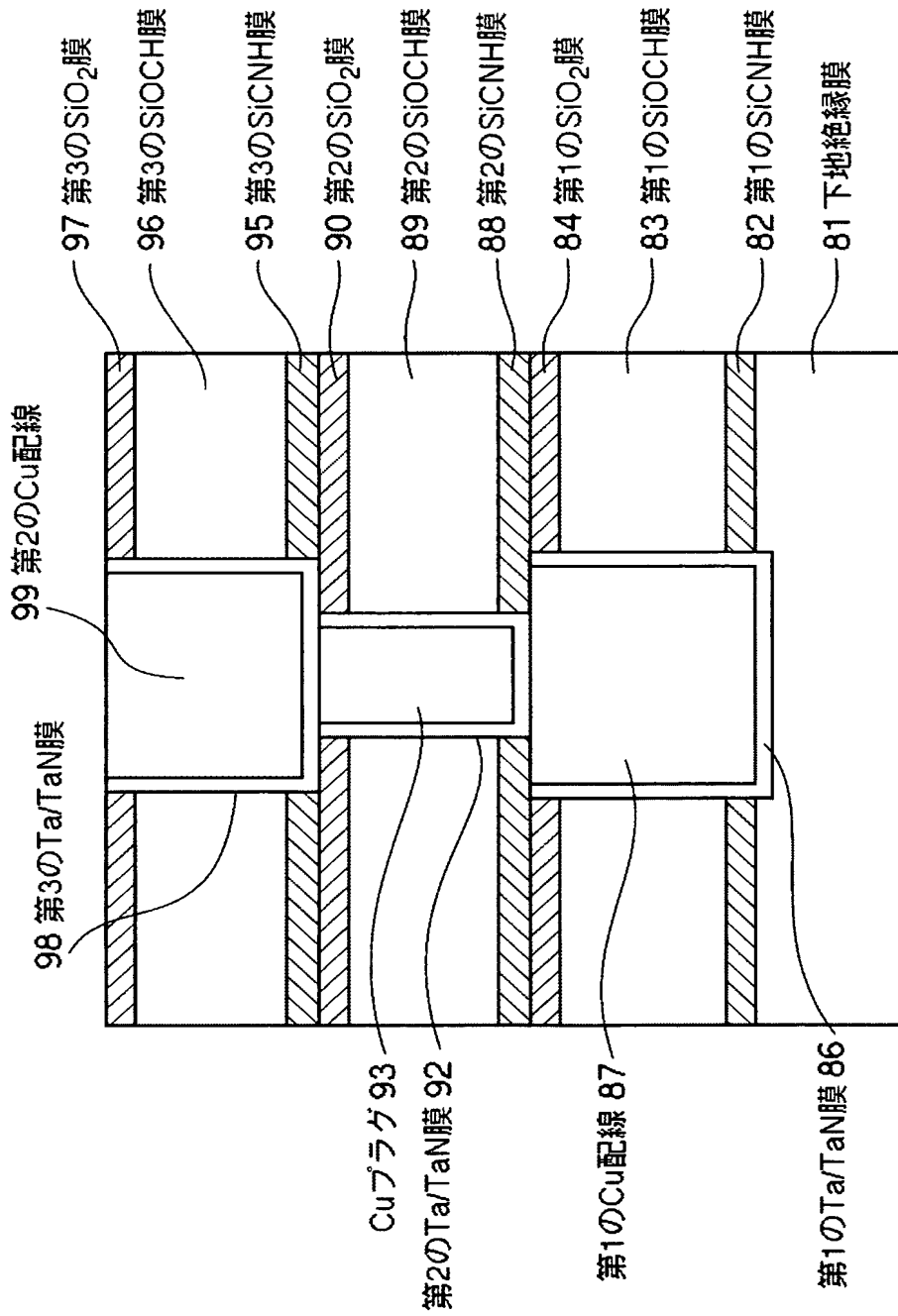




【図 5】

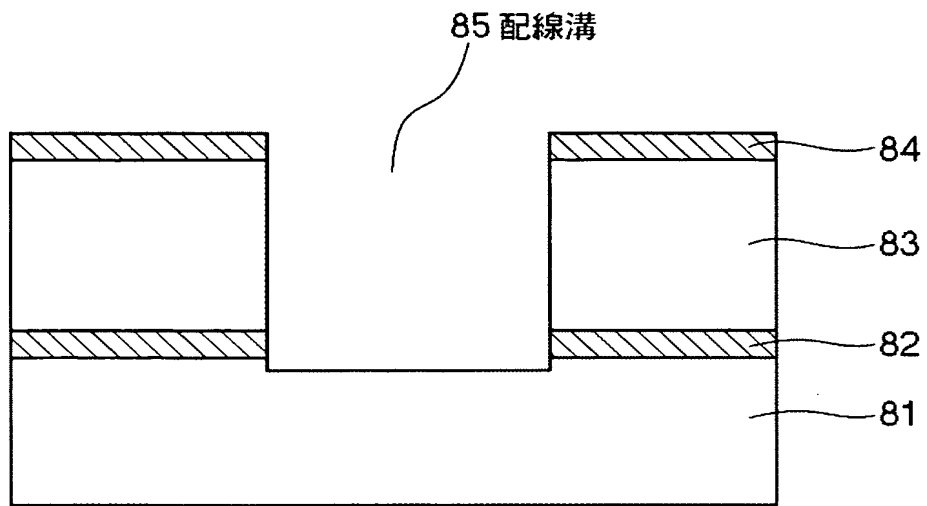
		Si-CH <sub>2</sub> /Si-CH <sub>3</sub> 比
O <sub>2</sub> 流量		
RF POWER		
圧力		
温度		

【図 6】

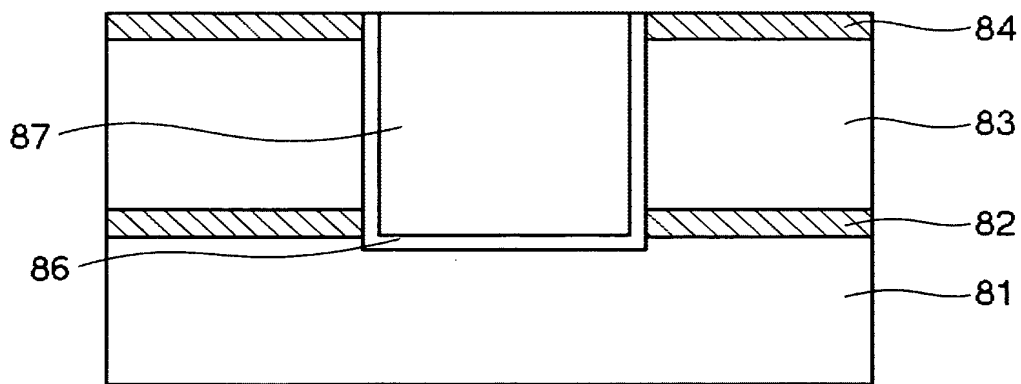


【図 7】

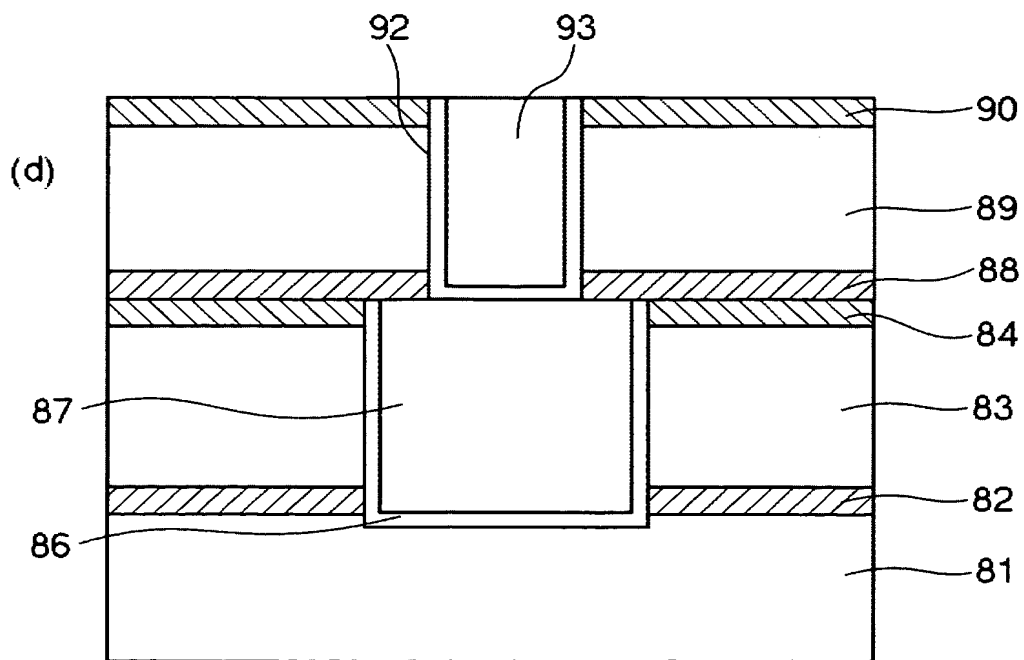
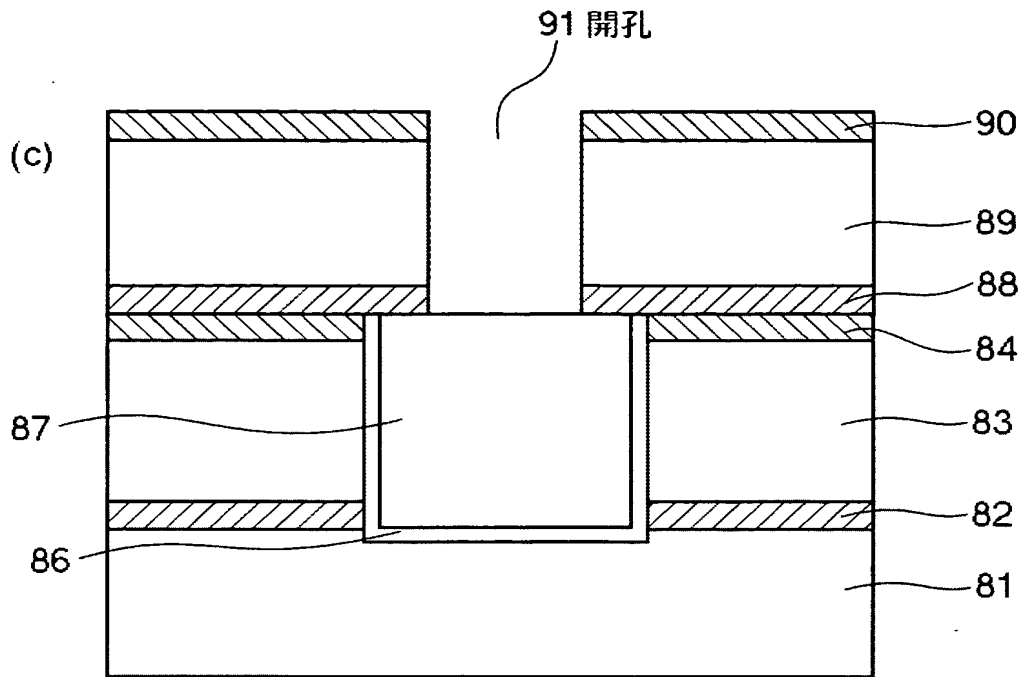
(a)



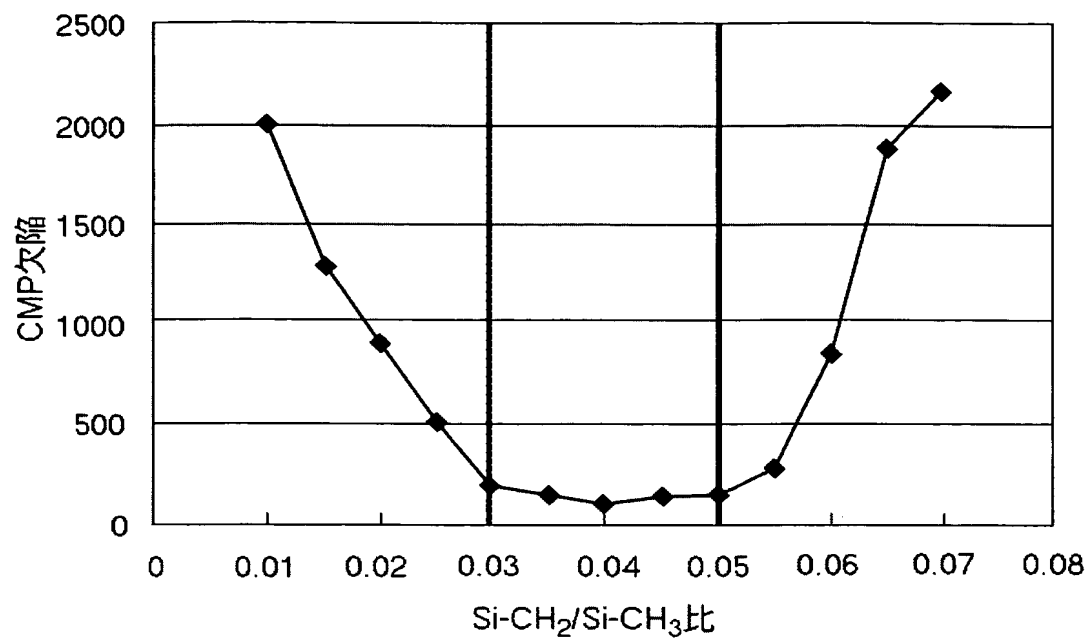
(b)



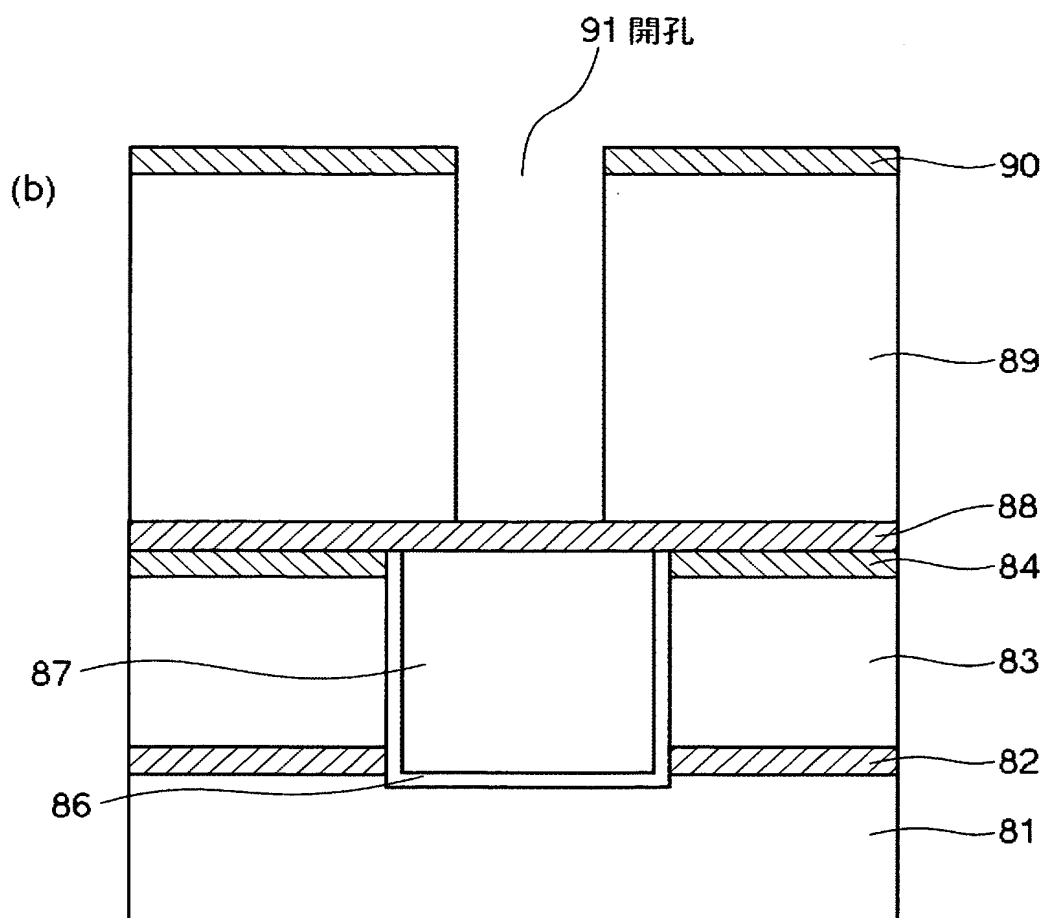
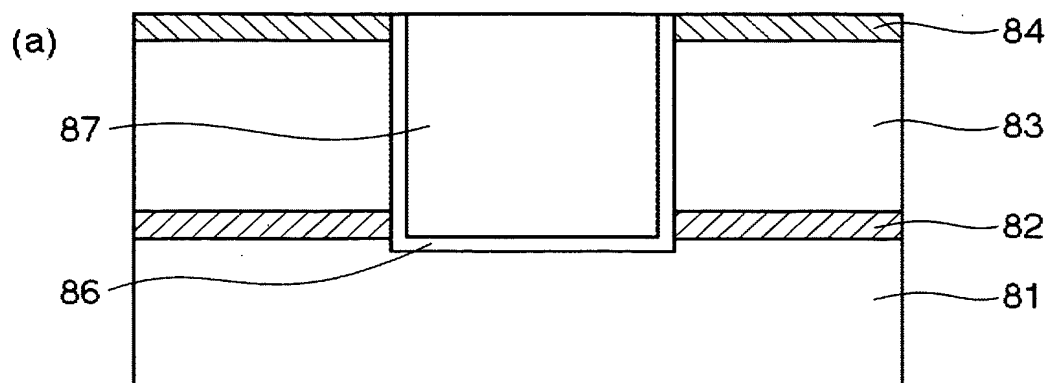
【図 8】



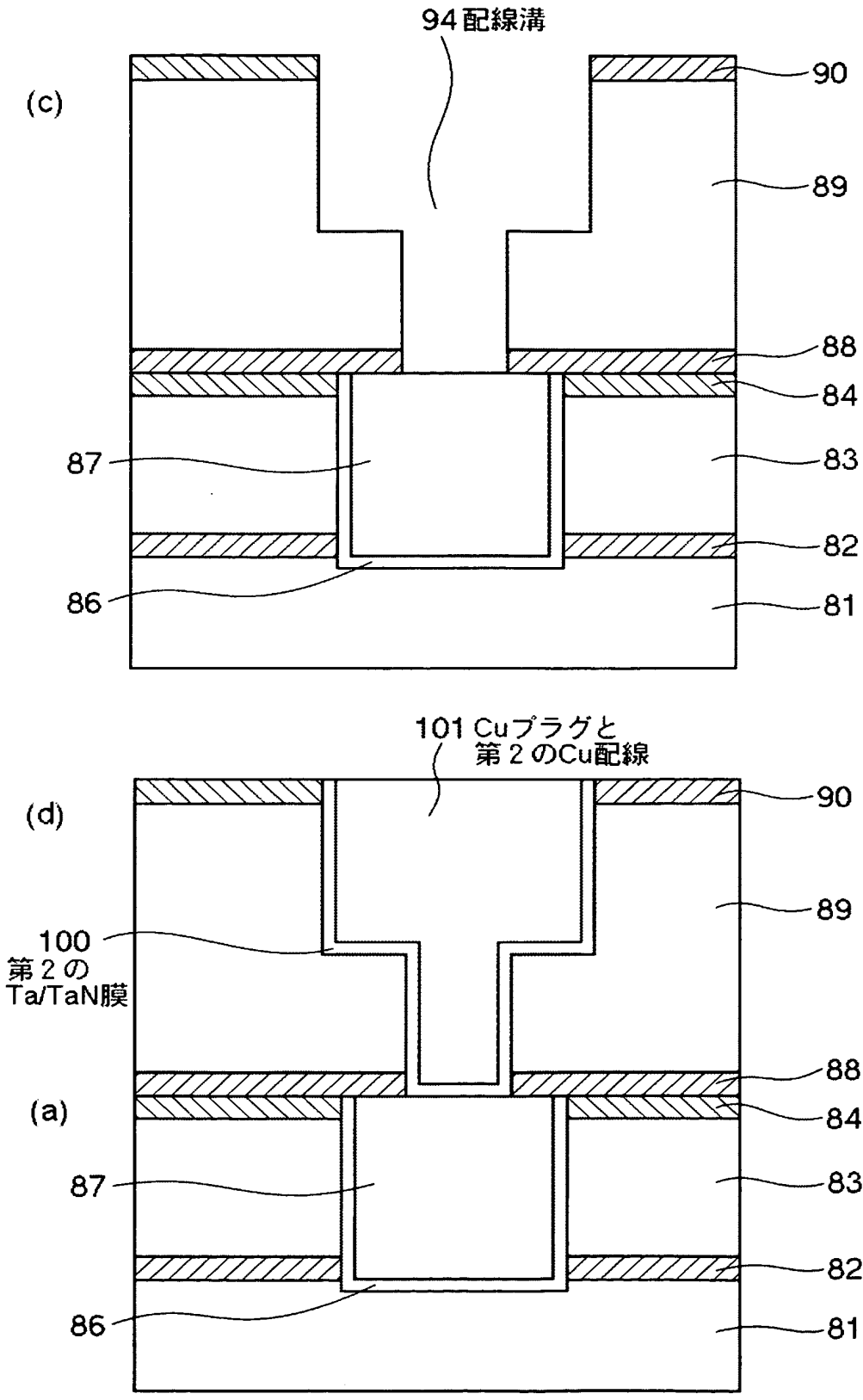
【図 9】



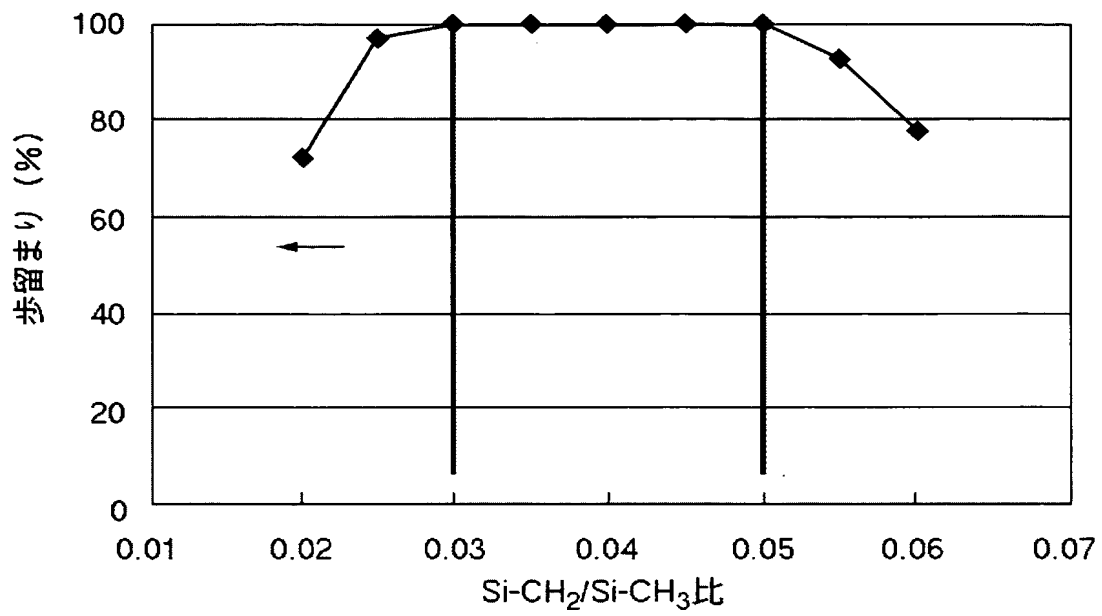
【図 10】



【図 11】



【図 12】





【書類名】 要約書

【要約】

【課題】 低誘電率膜である  $\text{SiOCH}$  膜の層間絶縁膜は、膜中に  $\text{CH}_3$  基が含まれるために  $\text{O}_2$  アッシング耐性が低く、 $\text{SiO}_2$  膜との密着性も低い。

【解決手段】  $\text{SiOCH}$  膜からなる層間絶縁膜を、膜中に  $\text{Si}-\text{CH}_2$  結合を含ませることにより、さらに  $\text{Si}-\text{CH}_3$  結合に対する  $\text{Si}-\text{CH}_2$  結合の割合を  $0.03-0.05$  とすることにより、低誘電率性を良好に保ち、かつ従来の  $\text{CH}_3$  基のみを持つ  $\text{SiOCH}$  膜に比べアッシング耐性が改善し、 $\text{SiO}_2$  膜との密着性も向上する。

【選択図】 図 6

認定・付加情報

特許出願の番号	特願 2 0 0 4 - 0 1 8 0 8 0
受付番号	5 0 4 0 0 1 3 0 0 9 1
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 6 年 1 月 3 0 日

< 認定情報・付加情報 >

【提出日】	平成 1 6 年 1 月 2 7 日
-------	--------------------

特願 2 0 0 4 - 0 1 8 0 8 0

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社